

PAT-NO: JP357100758A

DOCUMENT-IDENTIFIER: JP 57100758 A

TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: June 23, 1982

INVENTOR-INFORMATION:

NAME

CHIBA, FUMITAKA

ASSIGNEE-INFORMATION:

NAME

COUNTRY

NEC CORP

N/A

APPL-NO: JP55177911

APPL-DATE: December 16, 1980

INT-CL (IPC): H01L027/04, G06F015/00 , G11C017/00 , H01L021/82

US-CL-CURRENT: 257/203, 257/909 , 257/E27.105

ABSTRACT:

PURPOSE: To facilitate a logic circuit design and to reduce the size of a semiconductor device having a CPU, a memory and a control circuit by forming the logic circuit part of the device in a semiconductor element region arranged for each unit of the logic circuit element.

CONSTITUTION: In a semiconductor **integrated circuit having a CPU, a memory, a control** circuit and a peripheral input/output circuits on 1 chip, a logic circuit part formed in combination with logic circuit elements (e.g., peripheral input/ output circuits) is formed in a semiconductor element region

arranged with random logic circuit unit cells 23 53, and internal data bus 22 is provided in the center of a unit cell. Thus, the logic circuit design of master-slice system can be obtained readily with a semiconductor device also having small-size and light weight 1-chip type microcomputer.

COPYRIGHT: (C)1982,JPO&Japio

⑬ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭57—100758

⑥ Int. Cl.³
H 01 L 27/04
G 06 F 15/00
G 11 C 17/00
H 01 L 21/82

識別記号

庁内整理番号
8122—5F
6974—5B
6549—5B
6749—5F

⑬ 公開 昭和57年(1982)6月23日

発明の数 1
審査請求 未請求

(全 4 頁)

⑭ 半導体装置

東京都港区芝五丁目33番1号日
本電気株式会社内

⑯ 特 願 昭55—177911

⑰ 出 願 人 日本電気株式会社

⑱ 出 願 昭55(1980)12月16日

東京都港区芝5丁目33番1号

⑲ 発 明 者 千葉文隆

⑳ 代 理 人 弁理士 内原晋

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

半導体チップ上に中央処理装置、メモリ及び制御回路を含み、これらのうち論理回路素子を組み合わせて構成される論理回路部分を論理回路素子単位毎に配列された半導体素子領域内に形成することを特徴とする半導体装置。

3. 発明の詳細な説明

本発明は与えられたプログラムに基づいて演算処理を実行するコンピュータ機能と処理に必要なデータを外部の周辺装置(例えば、プリンタやディスクあるいは他のプロセッサ)との間で転送する周辺入出力回路機能とを有する半導体装置に関する。

集積回路技術の進歩により、従来個々の半導体

チップ上に作られていた回路機能(例えば、CPU、メモリ、入出力回路、タイミング制御回路等)が、1個の半導体チップ上に集積化できるようになった。これは、1チップマイクロコンピュータに代表される。しかしながら、1チップマイクロコンピュータの最大の欠点は、処理機能が固定化されてしまうことである。そこで、できる限り汎用性のあるマイクロコンピュータの開発や処理手順を規定するソフトウェアプログラムの開発が急速に進められている。この結果、かなり広いニーズに対応できる汎用のマイクロコンピュータが提供できるようになった。

一方、最近の傾向として汎用マイクロコンピュータよりも、その装置独自の機能を持った専用LSIの要求が高まってきている。しかしながら、そのための開発期間が長くなり、製品出荷のタイミングの遅れなどで製品寿命を短くしているのが現状である。したがって、現在ではやむをえず、汎用マイクロコンピュータやLUM書き換え型1チップ・マイクロコンピュータと周辺入出力回路と

をTTL回路で作った特殊なデータ変換装置やデータ転送装置あるいはデータ制御装置で接続して所望のシステムを構成している。これは装置の小型化ができないため価格高や信頼性低下等の種々の欠点を有している。この欠点を解決する手段としてマスタースライス方式を用いて集積化された論理回路装置が提案された。マスタースライス方式とは要求される機能をもった装置を作成する上で必要とされる基本的な回路機能、たとえばNAND機能、NOR機能、LATCH機能等は各装置において共通に用いられるものであるという点に留意したものである。即ち、トランジスタや抵抗などの基本素子が設計済みの基板（これをマスタースライスの下地と呼ぶ）を用意しておいて、その上に必要な金属配線のみを施して要求に応じた機能を有する回路装置を設計する方式を指す。マスタースライス方式によれば、論理回路を任意に設計することができるため、要求に応じた専用のLSIを短期間のうちに作成することができるようになった。

が期待できなかった。

本発明の目的は、マスタースライス方式による論理回路設計の容易性と、1チップマイクロコンピュータの小型軽量化とを併せもち、高速処理を実現する半導体装置を提供することにある。

本発明によれば、1個の半導体チップ内にCPU及びROM、RAM等のメモリブロックからなるコンピュータ機能とその周辺入出力回路機能とを有する半導体装置において、CPU内に含まれる論理演算部（ALU）や周辺入出力回路等の論理回路構成部分をマスタースライス形式のランダム論理回路ユニット・セル配列で構成した半導体装置が得られる。

以下にその一実施例を図面を参照しながら説明する。

第1図は本実施例の1チップ・マスタースライスLSI装置の機能ブロック図を示したものである。図において、1はCPUであり、その中に論理演算を実行するALU2、各ブロックのタイミング制御を行なうシステム・コントローラ3、メ

しかしながら、マスタースライス方式によって専用の論理回路装置を作っても、これをマイクロコンピュータ等の情報処理装置の中に組み込む場合には、マスタースライスタップとCPUチップあるいは周辺入出力用チップとを相互に接続しなければならなかった。このため、ニーズに応じた専用のマイクロコンピュータが構成できたとしても、その中には相互に端子間結線がなされた複数の半導体チップが含まれているため、装置自体が大規模化してしまい、特に端子間結線に伴う配線容量の影響で処理速度が低下するという欠点があった。更に、マスタースライスタップには入出力信号のためのバッファ回路がチップの入出力端子の近傍に設けられなければならないため、通常のマイクロコンピュータ内での対応する論理回路の面積に比べて数倍広い面積が必要となり、価格高を招いていた。しかも、入出力バッファ回路に費されるチップ面積分は論理回路素子配列を割り当てることができないため、論理回路素子数が制限されてしまい、設計の自由度及び回路機能の拡張

メモリとしてのROM4及びRAM5、命令に応じて周辺装置を選択する選択回路6、選択された外部周辺装置との間でデータ転送を実行する入力回路7と出力回路8等の機能ブロックを含んでいる。又、これらの各ブロックはアドレス・バスやデータ・バス10の内部バスで所望のブロック間結線がなされる。ここで、図中斜線の機能ブロック（ALU2、システム・コントローラ3、周辺装置選択回路6、周辺入力回路7、周辺出力回路8等）は、マスタースライス方式を採用したランダム論理回路ユニット・セルの配列によって構成されている。従って、この部分の論理回路は要求に応じて任意に設計することができ、半導体製造工程の金属配線工程のときに同時に所望の論理回路配線が行なわれ、目的の論理回路機能を得ることができる。また、ここで配直したROM4を、マスク・プログラマブルROMで構成すれば、メモリ情報は上述のランダム論理ユニット・セルの金属配線工程と同時にメモリ内にセットすることができる。

第2図はこの様にして作成されたマスタースライスLSIチップの一部、特にランダム論理回路ユニット・セル配列を用いて構成した出力回路8と内部バス22との接部を示したものである。第1図の周辺出力回路部分8はランダム論理回路ユニット・セル23〜53部を用いて任意に設計され、データ・バスとして用いられる内部バス22がその隣りに配線されている。この内部データ・バス22の両側には周辺出力回路用のランダム論理回路ユニット・セルが配列されており、周辺出力回路の入力及び出力部は入出力端子へ接続することもでき、又金属配線によってデータ・バス・ライン22に直接接続することもできる。バス22はRUM4やRAM5、システム・コントローラ3及びCPU1とも接続される。また、隣り合ったランダム論理回路ユニット・セル間(例えば23と24、24と25、……)を金属配線によって接続することもできる。尚、図示しないが他の論理回路ブロック、例えば周辺入力回路、システムコントローラ等も、ランダム論理回路ユニット・セル

ックを作り込むことかできるため、マスク設計や論理設計時での誤りは著しく減少する。

尚、上記の実施例に於いてランダム論理回路ユニット・セル中の各セルとしては、単に1個の論理回路素子(例えばNANDゲート)で構成することも、又複数の素子を組み合わせて1つの機能をもつ論理回路(例えばフリップ・フロップ)で構成することもできる。

4. 図面の簡単な説明

第1図は本発明の一実施例によるコンピュータ機能とその周辺の入出力回路機能とを1チップに集積化したマスタースライスLSIの機能ブロック図、第2図は第1図のマスタースライスLSIのチップの一部に相当する周辺出力回路部分(ランダム論理ユニット・セル)及びデータ・バス・ライン部分を示すブロック図である。

1……CPU(中央処理装置)ブロック、2……ALU(論理演算部)ブロック、3……システム・コントローラ・ブロック、4……RUM(読

み出し専用メモリ)ブロック、5……RAM(読み出し書き込み可能メモリ)ブロック、6……周辺装置選択回路ブロック、7……周辺入力回路ブロック、8……周辺出力回路ブロック、9……アドレス・バス・ライン、10……データ・バス・ライン、21……LSIチップ、22……データ・バス・ライン、23〜53……周辺出力回路用のランダム論理回路ユニット・セル。

この実施例によれば、メモリやレジスタを含むコンピュータ機能部と論理回路素子で構成される論理回路部とを1チップの中に集積化することができ、装置の小型化が可能になる。更に、論理回路部をマスタースライス方式を採用したランダムロジックセル配列で構成しているため、その設計は要求に応じて任意に行なえらるとともに、大規模な機能のLSIの開発期間を大幅に短縮することができる。更に、チップ間配線が不要であるから信号伝送路中に存在する配線容量が少なく、データ転送や状態切換動作が高速化され、処理速度が向上する。加えて、バス22に接続される論理回路の入出力部にはバッファを介在させる必要がないので、装置として必要な入出力バッファは通常の1チップマイクロコンピュータと同じ数でもよい。このため、チップを有効に利用することができる。多機能の論理回路を含有させることができる。又、金属配線だけで異なる機能の専用LSIプロ

み出し専用メモリ)ブロック、5……RAM(読み出し書き込み可能メモリ)ブロック、6……周辺装置選択回路ブロック、7……周辺入力回路ブロック、8……周辺出力回路ブロック、9……アドレス・バス・ライン、10……データ・バス・ライン、21……LSIチップ、22……データ・バス・ライン、23〜53……周辺出力回路用のランダム論理回路ユニット・セル。

代理人 菅 理 士 内 原



